

2811

PATENT

Docket No. JCLA6643

page 1

In re application of: CHUN-HSIANG LAI et al. ✓
Application No.: 09/801,350 ✓
Filed: March 07, 2001 ✓
For: ELECTROSTATIC DISCHARGE PROTECTION
CIRCUIT COUPLED ON I/O PAD ✓
Examiner:
Art Unit:

D. Coe
7-24-01
#2 priority paper

I hereby certify that this correspondence
and all marked attachments are being
deposited with the United States Postal
Service as first class mail in an envelope
addressed to: Assistant Commissioner for
Patents, Washington, D.C. 20231, on
July 11, 2001
(Date)

Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90100247, filed on
January 05, 2001. ✓

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees
required, including any fees for additional extension of time, or credit overpayment to Deposit
Account No. 50-0710 (Order No. JCLA6643). A duplicate copy of this sheet is enclosed.

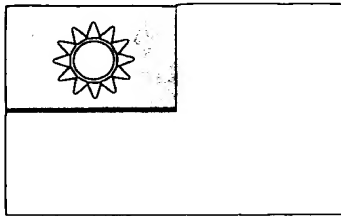
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:
J. C. Patents
1340 Reynolds Ave., #114
Irvine, CA 92614
(949) 660-0761

RECEIVED
JUL 19 2001
TECHNOLOGY CENTER 2800

69/801,350

JCLF16643



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 01 月 05 日
Application Date

申請案號：090100247
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 3 月 26 日
Issue Date

發文字號：09011004558
Serial No.

TECHNOLOGY CENTER 2800

JUL 19 2001

RECEIVED

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	輸出入墊靜電放電保護電路
	英 文	
二、發明 創作人	姓 名	1 賴純祥 2 劉孟煌 3 盧道政
	國 籍	中華民國
三、申請人	住、居所	1 台中市北區北平路二段 30 巷 26-1 號 2 新竹縣竹東鎮光武街 81 巷 38 號 1 樓 3 高雄市三民區嫩江街 1 巷 36 號
	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區力行路 16 號
	代 表 人 姓 名	胡定華

經濟部智慧財產局員工消費合作社印製

裝

訂

線

四、中文發明摘要（發明之名稱： 輸出入墊靜電放電保護電路)

一種輸出入墊靜電放電保護電路，由SCR結構電路、第一二極體、第二二極體以及防止鎖住電路所構成。其中，SCR結構電路之第一連接端與第二連接端分別連接到輸出入墊與接地電壓，用以消除靜電放電。而防止鎖住電路之兩個連接端分別連接到高電壓、接地電壓，並具有另一連接端送出一防止鎖住信號，使SCR結構電路快速啟動，免於鎖住發生。

英文發明摘要（發明之名稱：)

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明 (|)

本發明是有關於一種輸出入墊靜電放電保護電路，且特別有關於一種防止 SCR 結構電路產生鎖住情形的輸出入墊靜電放電保護電路。

如第 1 圖所繪示習知輸出入墊靜電放電保護電路，輸出入墊 10(I/O Pad)將電壓輸入到內部電路 12 時，會設計靜電放電保護裝置以避免過大的電壓產生，而影響到內部電路的運作。在圖中我們分別設計兩個二極體 14、16 用以對輸出入墊產生過大正、負電壓作用時，達到消除靜電放電的作用。此外我們也會多設計一低電壓觸發矽整流器 18(Low-voltage triggering silicon-controlled rectifier ; LVTSCR)，用以加速消除靜電放電。如第 2 圖繪示 LVTSCR 的結構圖形。我們在第 2 圖可以看出在第一 N+區域 20、P 型基底 24 與、第二 N+區域 22 形成一水平的寄生 NPN 雙載子電晶體 30，而第一 P+區域 26、N 井結構 28、P 型基底 24 形成一垂直的寄生 PNP 雙載子電晶體 32，且兩個雙載子電晶體 28、30 的基極分別被另一雙載子電晶體的集極所驅使，而形成一正回饋電路(Positive Feedback Loop)，在此迴路下形成如第 3A 圖所繪示的 pnpn 二極體的結構。接著，我們以第 3B 圖所繪示的 pnpn 二極體電流對電壓的作曲線作進一步說明，其中圖中 I_H 為讓 pnpn 二極體處於運作狀態所需的最低電流，當 $I > I_H$ 時就會產生鎖住(Latch-Up)情形，而使得電路的功能暫時或永久的消失，這對於第 2 圖中由輸出入墊(I/O Pad)所提供的電壓，若有瞬間的大電壓或大電流輸入則將使得上述 SCR 的結構在正常電壓下啟動而鎖住，而導致電路無法運作。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

有鑒於此，本發明的目的就是在提供一種輸出入墊靜電放電保護電路，針對上述具有 SCR 的結構，以一防止鎖住電路控制 SCR 的結構狀況，來防止可能產生的鎖住現象。

本發明提供一種輸出入墊靜電放電保護電路，適用在一輸出入墊上，包括由一 SCR 結構電路以及一防止鎖住電路所構成。

其中，SCR 結構電路具有第一連接端、第二連接端以及第三連接端，且第一連接端與第二連接端分別連接到輸出入墊與接地電壓，用以消除靜電放電。至於防止鎖住電路則具有第四連接端、第五連接端以及第六連接端，分別連接到高電壓、接地電壓以及第三連接端，用以由第六連接端送出一防止鎖住信號，使 SCR 結構電路在正常操作下不至於啟動，避免電路鎖住；在 ESD 的情況下又能送出觸發信號，使 SCR 在 ESD 的情況下能迅速啟動，防止靜電對電路造成傷害。

此外更可包括一第一二極體與一第二二極體。其中第一二極體具有第一輸入端與第一輸出端，分別連接到接地電壓與輸出入墊。第二二極體具有第二輸入端與第二輸出端，分別連接到輸出入墊與高電壓。

其中，上述 SCR 結構電路包括由 P 型基底、N 井結構、第一 P+區域、第一 N+區域、第二 N+區域、第二 P+區域以及第三 N+區域所構成。

N 井結構形成於 P 型基底內，第一 P+區域形成於 P 型基底內，連接到接地電壓。第一 N+區域形成於 P 型基底

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(2)

內，且位於第一 P+區域附近，並連接到接地電壓，第二 N+區域形成於 P 型基底與 N 井結構之間，且位於第一 N+區域附近，並連接到防止鎖住電路之第六連接端。第二 P+區域形成於 N 井結構內，且位於第二 N+區域附近，並連接到輸出入墊，至於第三 N+區域，形成於 N 井結構內，且位於第二 P+區域附近，並連接到高電壓。

針對上述 SCR 結構電路結構下，我們可以設計防止鎖住電路由一電容以及一電阻所構成。其中，電容具有一第一接觸端與一第二接觸端，分別連接到第二 N+區域與接地電壓，至於電阻則具有第一端點與第二端點，分別連接到高電壓與第二 N+區域。此外我們亦可設計防止鎖住電路由一 PMOS 電晶體、一電阻以及一電容所構成。其中，PMOS 電晶體之源極連接高電壓，汲極連接第二 N+區域，電阻具有一第一端點與一第二端點，分別連接到 PMOS 電晶體之閘極與接地電壓，以及電容具有第一接觸端與第二接觸端，分別連接到高電壓與 PMOS 電晶體之閘極。

另外，SCR 結構電路亦可設計為一低電壓觸發矽控整流器(LVTSCR)電路，使其不僅可控制 PMOS 在正常 IC 工作時，達到防鎖死之功能。且亦可使其在靜電放電時控制 NMOS 之閘極，使 LVTSCR 更容易被激發。上述 LVTSCR 包括由 P 型基底、N 井結構、第一 P+區域、第一 N+區域、第二 N+區域、第二 P+區域以及第三 N+區域所構成，其中第一 N+區域、第二 N+區域及其閘極形成一附屬 NMOS。

其中 N 井結構，形成於 P 型基底內。第一 P+區域形成於 P 型基底內，連接到接地電壓。第一 N+區域形成於 P

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

型基底內，且位於第一 P+區域附近，並連接到接地電壓。第二 N+區域形成於 P 型基底與 N 井結構之間，且位於第一 N+區域附近，並連接到防止鎖住電路之第六連接端，且第一 N+區域與第二 N+區域之間形成一 LVTSCR 之附屬 NMOS 電晶體之源極、汲極，並在兩者之間形成一浮動閘極，以形成 LVTSCR 之附屬 NMOS 電晶體之閘極。第二 P+區域形成於 N 井結構內，且位於第二 N+區域附近，並連接到輸出入墊，以及第三 N+區域形成於 N 井結構內，且位於第二 P+區域附近，並連接到高電壓。

對應到上述 LVTSCR 之防止鎖住電路包括由 PMOS 電晶體、電阻以及電容所構成。其中 PMOS 電晶體之源極連接高電壓，汲極連接第二 N+區域，電阻具有第一端點與第二端點，分別連接到 PMOS 電晶體之閘極與接地電壓，以及電容具有第一接觸端與第二接觸端，分別連接到高電壓與 PMOS 電晶體之閘極。其中 LVTSCR 之附屬 NMOS 電晶體之閘極亦連接到 PMOS 電晶體之閘極。

此外，我們亦可使用在另一種 SCR 結構電路 P 型 MLSCR，其包括由 P 型基底、N 井結構、第一 P+區域、第一 N+區域、第二 P+區域、第三 P+區域以及第三 N+區域所構成。其中 N 井結構形成於 P 型基底內，第一 P+區域形成於 P 型基底內，連接到接地電壓，第一 N+區域形成於 P 型基底內，且位於第一 P+區域附近，並連接到接地電壓。第二 P+區域形成於 P 型基底與 N 井結構之間，且位於第一 N+區域附近，並連接到防止鎖住電路之第六連接端。第三 P+區域形成於 N 井結構內，且位於第二 P+區域附近，並連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

接到輸出入墊。至於第三 N+區域形成於 N 井結構內，且位於第三 P+區域附近，並連接到高電壓。

在上述 SCR 結構電路，我們可以設計防止鎖住電路由電阻與電容構成，其中電阻具有第一端點與第二端點，分別連接到第二 P+區域與接地電壓，以及電容具有第一接觸端與第二接觸端，分別連接到高電壓與第二 P+區域。此外我們亦可設計防止鎖住電路由 NMOS 電晶體、電容以及電阻構成。其中，NMOS 電晶體之源極連接接地電壓，汲極連接第二 P+區域。電容之第一接觸端與第二接觸端，分別連接到 NMOS 電晶體之閘極與接地電壓，以及電阻具有第一端點與第二端點，分別連接到高電壓與 NMOS 電晶體之閘極。

此外，我們亦可設計將 SCR 結構電路以一 P 型 LVTSCR 構成，如此不但可控制 NMOS 在正常時間防鎖死，亦可控制其附屬 PMOS，使其在靜電放電時，更容易被觸發。

上述 P 型 LVTSCR 包括由 P 型基底、N 井結構、第一 P+區域、第一 N+區域、第二 P+區域、第三 P+區域以及第三 N+區域所構成。其中 N 井結構形成於 P 型基底內。第一 P+區域形成於 P 型基底內，連接到接地電壓。第一 N+區域形成於 P 型基底內，且位於第一 P+區域附近，並連接到接地電壓。第二 P+區域形成於 P 型基底與 N 井結構之間，且位於第一 N+區域附近，並連接到防止鎖住電路之第六連接端。第三 P+區域形成於 N 井結構內，且位於第二 P+區域附近，並連接到輸出入墊，且第二 P+區域與第三 P+區域之間形成 P 型 LVTSCR 之附屬 PMOS 電晶體之源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

極、汲極，並在兩者之間形成一浮動閘極，以形成 P 型 LVTSCR 之附屬 PMOS 電晶體之閘極。以及第三 N+區域形成於 N 井結構內，且位於第三 P+區域附近，並連接到輸出入墊。

對應到上述 P 型 LVTSCR 之防止鎖住電路包括由一 NMOS 電晶體、一電容以及一電阻所構成。其中 NMOS 電晶體之源極連接接地電壓，汲極連接第二 P+區域。電容具有第一接觸端與第二接觸端，分別連接到 NMOS 電晶體之閘極與接地電壓。以及電阻具有第一端點與第二端點，分別連接到高電壓與 NMOS 電晶體之閘極。且上述 P 型 LVTSCR 之附屬 PMOS 電晶體之閘極亦連接到 NMOS 電晶體之閘極。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是習知輸出入墊靜電放電保護電路；

第 2 圖繪示的是繪示 SCR 的結構圖形；

第 3 A 圖與第 3B 圖分別繪示 pnpn 二極體的結構與其電流對電壓的曲線；

第 4 圖繪示的是依照本發明的一種輸出入墊靜電放電保護電路圖形；

第 5A 與第 5B 圖繪示本發明第一實施例之輸出入墊靜電放電保護電路圖形；

第 6A 與第 6B 圖繪示本發明第二實施例之輸出入墊靜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

電放電保護電路圖形；

第 7A 與第 7B 圖繪示本發明第三實施例之輸出入墊靜電放電保護電路圖形；

第 8A 與第 8B 圖繪示本發明第四實施例之輸出入墊靜電放電保護電路圖形；

第 9A 與第 9B 圖繪示本發明第五實施例之輸出入墊靜電放電保護電路圖形；以及

第 10A 與第 10B 圖中，繪示本發明第六實施例之輸出入墊靜電放電保護電路圖形。

圖式之標號說明：

- | | |
|-----------------------|----------------|
| 10: 輸出入墊 | 12: 內部電路 |
| 14、16: 二極體 | |
| 18: 低電壓觸發矽整流器(LVTSCR) | |
| 20: 第一 N+區域 | 22: 第二 N+區域 |
| 24: P 型基底 | 26: 第一 P+區域 |
| 28: N 井結構 | 30: NPN 雙載子電晶體 |
| 32: PNP 雙載子電晶體 | 100: 輸出入墊 |
| 102: 內部電路 | 104: SCR 結構電路 |
| 106: 第一二極體 | 108: 第二二極體 |
| 110: 防止鎖住電路 | 112: 第一連接端 |
| 114: 第二連接端 | 118: 第一輸入端 |
| 120: 第一輸出端 | 122: 第二輸入端 |
| 124: 第二輸出端 | 126: 第四連接端 |
| 128: 第五連接端 | 130: 第六連接端 |
| 150: P 型基底(或 P 井結構) | 152: N 井結構 |

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

- | | |
|---------------------------------|--------------|
| 154: 第一 P+區域 | 156: 第一 N+區域 |
| 158: 第二 N+區域 | 160: 第二 P+區域 |
| 162: 第三 N+區域 | |
| 164、200、240、316、350、400: 防止鎖住電路 | |
| 166、210、250、318、354、404: 電容 | |
| 168、204、244、320、360、410: 電阻 | |
| 170、212、252、326、356、406: 第一接觸端 | |
| 172、214、254、328、358、408: 第二接觸端 | |
| 174、206、246、322、362、412: 第一端點 | |
| 176、208、248、324、364、414: 第二端點 | |
| 178、330: NPN 雙載子電晶體 | |
| 180、332: PNP 雙載子電晶體 | |

實施例

由於防鎖住電路是使用 RC 電路來分辨是”靜電放電”或”正常操作”，此 RC 電路的時間常數需控制在微秒(μs)等級，因此 R、C 的面積很大；若是每個輸出入墊都接一個防鎖住電路，不但浪費空間，也會拖慢速度(R、C 時間延遲)。

在本發明中，所有輸出入墊皆透過一二極體接至 Vcc；而防鎖住電路則接到 Vcc 及 GND 之間。在靜電放電的情況下，二極體正向導通，觸發防鎖住電路，由於所有輸出入墊皆透過二極體接至 Vcc，故僅需一個防鎖住電路，在 Vcc 即可給所有輸出入墊使用，大大減少佈局面積。

在正常操作下，由於 Vcc 接上高電壓，二極體處於截止狀態，則輸出入墊就看不到此防鎖住電路的大 R、C，因

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

此電路速度不致被 RC 時間延遲所拖慢。

接著，請參照第 4 圖，其繪示的是依照本發明的一種輸出入墊靜電放電保護電路圖形。

在圖中輸出入墊靜電放電保護電路連接到一輸出入墊 100(I/O pad)與一內部電路 102 之間。本發明之輸出入墊靜電放電保護電路由 SCR 結構電路 104、第一二極體 106、第二二極體 108 以及防止鎖住電路 110 所構成。

其中，SCR 結構電路 104 第一連接端 112、第二連接端 114 分別連接到輸出入墊 100 與接地電壓 GND，用以消除靜電放電，而第一二極體 106 之第一輸入端 118 與第一輸出端 120，分別連接到接地電壓 GND 與輸出入墊 100，當輸出入墊 100 有一過大的負電壓產生時，使得第一二極體 106 導通，將過大的負電壓消除，防止靜電放電損害到內部電路 102。相同的，第二二極體 108 之第二輸入端 122 與第二輸出端 124，分別連接到輸出入墊 100 與一高電壓 Vcc，用以當輸出入墊 100 有一過大的正電壓產生時，使得第二二極體 108 導通，則此正電壓將會透過第二二極體 108 而耦合到 Vcc，進而觸動反鎖住電路 110，使其提供一電位給 SCR 104 而加速其觸發。至於防止鎖住電路 110 的第四連接端 126、第五連接端 128 以及第六連接端 130，則分別連接到高電壓 Vcc、接地電壓 GND 以及第三連接端 116，防止鎖住電路 110 由第六連接端 130 來送出一防止鎖住信號，使 SCR 結構電路 104 在正常操作下不致啟動，免於鎖住發生。

為更進一步說明本發明之應用電路，在此我們以幾個實施例作進一步說明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (1⁰)

首先在第5A與第5B圖中，繪示本發明第一實施例之輸出入墊靜電放電保護電路圖形。在此只繪示第4圖中的SCR結構電路104與防止鎖住電路110內部結構關係，至於第一二極體106則省略。我們由5A圖中可以看出SCR結構電路包括由P型基底150(或P井結構)、N井結構152、第一P+區域154、第一N+區域156、第二N+區域158、第二P+區域160以及第三N+區域162所構成。

其中，N井結構152形成於P型基底150內，第一P+區域154形成於P型基底150內，並連接到接地電壓。第一N+區域156形成於P型基底150內，且位於第一P+區域154附近，並同時連接到接地電壓。第二N+區域158形成於P型基底150與N井結構152之間，且位於第一N+區域156附近，並連接到防止鎖住電路164上。第二P+區域160形成於N井結構152內，且位於第二N+區域158附近，並連接到輸出入墊(Pad)。至於第三N+區域162形成於N井結構152內，且位於第二P+區域160附近，並連接到高電壓Vcc。

至於，防止鎖住電路164則由一電容166、一電阻168所構成。其中，電容166的第一接觸端170與第二接觸端172，分別連接到第二N+區域158與接地電壓，至於電阻168之第一端點174與第二端點176，則分別連接到高電壓Vcc與第二N+區域158。

由第5A圖中，第一N+區域156、P型基底150以及第二N+區域158結構形成一NPN雙載子電晶體178，相同的在第二P+區域160、N井結構152以及P型基底150也會形成一PNP雙載子電晶體180，因此對應到第5B圖中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

而成為右邊的 SCR 結構電路。

再來，討論防鎖住電路之設計及其原理。因為 IC 正常電源打開(Power on)之上升時間(Rise time)為 ms 級，而 ESD pulse 之上升時間為 ns 級，故 RC 之時間常數設計在 μs 左右，用以分辨兩事件。正常 IC 電源打開時，因其上升時間大於所設計之時間常數，故 A 點會跟隨 V_{cc} 電壓，而此時第二 N+區則作為吸收因意外大電壓而產生之載子之用，故使得維持電壓增加以防止鎖住發生。而在 ESD 下，因其上升時間小於 RC 時間常數，故 A 點電位跟不上 V_{cc} 電壓。故使得第二 n+區域不會有大電壓，故 SCR 結構可被激發且有較低的維持電壓。

接著，我們說明 SCR 與防鎖住電路之運作的情形，首先當輸出入墊(Pad)為正常電壓範圍時，由於電源打開的上升時間遠大於防鎖住電路 RC 之時間常數，位於電阻 168 與電容 170 之間的 A 點會提高電壓到 V_{cc} ，使得連接的第二 N+區域 158 拉升到 V_{cc} 電壓，而提供一類似於守衛環(Guard ring)的保護作用，而使得 SCR 結構的維持(Holding)電壓能夠增加以防止鎖住發生。而當輸出入墊(Pad)有靜電放電發生而灌入正電流時，由於此靜電放電之電壓的上升時間遠小於防鎖住電路之 RC 時間常數，使得節點 A 的電壓跟不上 V_{cc} 的電壓，SCR 結構電路因而具有較低的維持(Holding)電壓。

接著，在第 6A 與 6B 圖中，繪示本發明第二實施例之輸出入墊靜電放電保護電路圖形。其中 SCR 結構與第一實施例相同，在此使用相同符號表示，並省略說明其結構關

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (12)

係。至於防止鎖住電路 200 則與第一實施例有相異之處在增加一 PMOS 電晶體 202，其源極連接高電壓 V_{cc} ，汲極連接第二 N+區域 158，與電阻 204 之第一端點 206 與第二端點 208，分別連接到 PMOS 電晶體 202 之閘極與接地電壓。以及電容 210 之第一接觸端 212 與第二接觸端 214，分別連接到高電壓與 PMOS 電晶體 202 之閘極。

與第一實施例一樣，此防鎖住電路的 RC 時間常數設計在 μs 等級，以用來區分 ns 等級的靜電放電上升時間與 ms 等級的電源打開上升時間。

在正常電源打開期間運作時，由於電源打開的上升時間遠大於防鎖住電路 RC 的時間常數，A 點被拉低到 GND，所以使得 PMOS 電晶體 202 導通，第二 N+區域 158 拉升到 V_{cc} ，而提供一類似守衛環(Guard Ring)的保護作用，而使得 SCR 結構的維持(Holding)電壓能夠增加以防止鎖住發生。而當輸出入墊(Pad)有靜電放電發生時，由於第二二極體的導通，還有靜電放電的上升時間遠小於防鎖住電路之 RC 時間常數，A 點會耦合到 V_{cc} 之電壓，使得 PMOS 202 截止，所以第二 N+區域 158 處在懸置狀態，SCR 結構電路具有較低的維持(Holding)電壓。

接著，在第 7A 與 7B 圖中，繪示本發明第三實施例之輸出入墊靜電放電保護電路圖形。其中 SCR 結構電路換成 LVTSCR，而 LVTSCR 則比第二實施利之 SCR 結構電路多了 LVTSCR 之附屬 NMOS 256。

上述 LVTSCR 包括由 P 型基底 150、N 井結構 152、第一 P+區域 154、第一 N+區域 156、第二 N+區域 158、第二

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (17)

P+區域 160 以及第三 N+區域 162 所構成。

其中 N 井結構 152 形成於 P 型基底 150 內。第一 P+區域 154 形成於 P 型基底 150 內，連接到接地電壓。第一 N+區域 156 形成於 P 型基底 150 內，且位於第一 P+區域 154 附近，並連接到接地電壓。第二 N+區域 158 形成於 P 型基底 150 與 N 井結構 152 之間，且位於第一 N+區域 156 附近，並連接到防止鎖住電路 240 之第六連接端(即 PMOS 電晶體 242 之汲極端)，且第一 N+區域 156 與第二 N+區域 158 之間形成一 LVTSCR 之附屬 NMOS 電晶體 256 之源極、汲極，並在兩者之間形成一浮動閘極，以形成 LVTSCR 之附屬 NMOS 電晶體 256 之閘極 258。第二 P+區域 160 形成於 N 井結構 152 內，且位於第二 N+區域 158 附近，並連接到輸出入墊，以及第三 N+區域 162 形成於 N 井結構 152 內，且位於第二 P+區域 160 附近，並連接到高電壓。

對應到上述 LVTSCR 之防止鎖住電路 240 包括由 PMOS 電晶體 242、電阻 244 以及電容 250 所構成。其中 PMOS 電晶體 242 之源極連接高電壓，汲極連接第二 N+區域 158，電阻 244 具有第一端點 246 與第二端點 248，分別連接到 PMOS 電晶體 242 之閘極與接地電壓，以及電容具有第一接觸端 252 與第二接觸端 254，分別連接到高電壓與 PMOS 電晶體 242 之閘極。其中 LVTSCR 之附屬 NMOS 電晶體 256 之閘極 258 亦連接到 PMOS 電晶體 242 之閘極。

與第一實施例一樣，此防鎖住電路的 RC 時間常數設計在 μs 等級，以用來區分 ns 等級的靜電放電上升時間與 ms

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(14)

等級的電源打開上升時間。

在正常電源打開期間運作時，由於電源打開的上升時間遠大於防鎖住電路 RC 的時間常數，A 點被拉低到 GND，所以使得 PMOS 電晶體 242 導通，第二 N+區域 158 拉升到 Vcc，而提供一類似守衛環(Guard Ring)的保護作用，而使得 SCR 結構的維持(Holding)電壓能夠增加以防止鎖住發生，同時 NMOS 電晶體 256 維持在截止(Turn off)狀態，所以不會影響到其運作。而當輸出入墊(Pad)有靜電放電發生時，由於第二二極體的導通，還有靜電放電的上升時間遠小於防鎖住電路之 RC 時間常數，A 點會耦合到 Vcc 之電壓，使得 PMOS 242 截止，所以第二 N+區域 158 處在懸置狀態，SCR 結構電路具有較低的維持(Holding)電壓，由於 A 點會有 Vcc 電壓使得 NMOS 電晶體 256 的閘極耦合到高電壓而降低觸發電壓，進而加速 SCR 結構電路的觸發速度。

接著，在第 8A 與第 8B 圖中，繪示本發明第四實施例之輸出入墊靜電放電保護電路圖形。其中在此只繪示第 4 圖中的 SCR 結構電路 14 與防止鎖住電路 20 內部結構以及第二二極體 108 關係，至於第一二極體 106 則省略。我們由 8A 圖中可以看出 SCR 結構電路包括由 P 型基底 300(或 P 井結構)、N 井結構 302、第一 P+區域 304、第一 N+區域 306、第二 P+區域 308、第三 P+區域 310 以及第二 N+區域 312 所構成。

其中，N 井結構 302 形成於 P 型基底 300，第一 P+區域 304 形成於 P 型基底 300 內，並連接到接地電壓。第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

N+區域 306 形成於 P 型基底 300 內，且位於第一 P+區域 304 附近，並同時連接到接地電壓。第二 P+區域 308 形成於 P 型基底 300 與 N 井結構 302 之間，且位於第一 N+區域 306 附近，並連接到防止鎖住電路 316 上。第三 P+區域 310 形成於 N 井結構 302 內，且位於第二 P+區域 308 附近，並連接到輸出入墊(Pad)。至於第二 N+區域 312 形成於 N 井結構 302 內，且位於第二 P+區域 310 附近，並連接到輸出入墊(Pad)。

至於，防止鎖住電路 316 則由一電容 318、一電阻 320 所構成。其中，電阻 320 的第一端點 322 與第二端點 324 分別連接到第二 P+區域 308 與接地電壓。至於電容 318 之第一接觸端 326 與第二接觸端 328，則分別連接到高電壓 Vcc 與第二 P+區域 308。

由第 8A 圖中，第一 N+區域 306、P 型基底 300 以及 N 井結構 302 結構形成一 NPN 雙載子電晶體 330，相同的在第二 P+區域 308、N 井結構 302 以及第三 P+區域 310 也會形成一 PNP 雙載子電晶體 332，因此對應到第 8B 圖中而成為左邊的 SCR 結構電路。

再來，討論防鎖住電路之設計及其原理。因為 IC 正常電源打開(Power on)之上升時間(Rise time)為 ms，而 ESD pulse 之上升時間為 ns，故 RC 之時間常數設計在 μs 左右，用以分辨兩事件。正常 IC 電源打開時，因其上升時間大於所設計之時間常數，故 A 點會跟隨 GND 電壓，而此時第二 P+區則作為吸收因意外大電壓而產生之載子之用，故使得維持電壓增加以防止鎖住發生。而在 ESD 下，因其上升

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (6)

時間小於 RC 時間常數，故 A 點電位耦合到 Vcc 電壓。故使得第二 P+區域會有大於 GND 的電壓，故 SCR 結構可被激發且有低的維持電壓。

接著，我們說明其運作的情形，首先當輸出入墊(Pad)為正常電壓範圍時，由於電源打開的上升時間遠大於此電路 RC 電路的時間常數，位於電阻 320 與電容 318 之間的 A 點電壓降到接地電壓(GND)，而使得連接的第二 P+區域 308 拉到 GND，而提供一類似守護環的保護作用，而使得 SCR 結構的維持(Holding)電壓能夠增加以防止鎖住發生。而當輸出入墊(Pad)有靜電放電發生時，由於二極體 108 的導通，且靜電放電的上升時間遠小於防鎖住電路的 RC 時間常數，使得節點 A 耦合到 Vcc 的部分電壓，所以使得第二 P+區域 308 高於接地電壓，SCR 結構電路具有較低的維持(Holding)電壓。

接著，在第 9A 與 9B 圖中，繪示本發明第五實施例之輸出入墊靜電放電保護電路圖形。其中 SCR 結構與第四實施例相同，在此使用相同符號表示，並省略說明其結構關係。至於防止鎖住電路 350 則與第四實施例有相異之處在增加一 NMOS 電晶體 352，其源極連接一接地電壓 GND，汲極連接第二 P+區域 308，與電容 354 之第一接觸端 356 與第二接觸端 358，分別連接到 NMOS 電晶體 352 之閘極與接地電壓 GND。以及電阻 360 之第一端點 362 與第二端點 364，分別連接到高電壓 Vcc 與 NMOS 電晶體 352 之閘極。

在正常電源打開期間運作時，由於此 RC 電路的時間常

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (1)

數遠小於電源打開的上升時間，A 點將會到達 V_{cc} ，所以使得 NMOS 電晶體 352 導通，第二 P+區域 308 拉低到 GND，而提供一類似守護環的保護作用，而使得 SCR 結構的維持(Holding)電壓能夠增加以防止鎖住發生。而當輸出入墊(Pad)有靜電放電發生時，由於此 RC 電路的時間常數遠大於電電放電的上升時間，A 點跟不上 V_{cc} 電壓，所以第二 P+區域 308 處在懸置狀態，SCR 結構電路因而具有較低的維持(Holding)電壓。

接著，在第 10A 與 10B 圖中，繪示本發明第六實施例之輸出入墊靜電放電保護電路圖形。

其中 SCR 結構電路換成 P 型 LVTSCR，而 P 型 LVTSCR 則比第五實施例之 SCR 結構多了 LVTSCR 之附屬 PMOS 416。

上述 P 型 LVTSCR 包括由 P 型基底 300、N 井結構 302、第一 P+區域 304、第一 N+區域 306、第二 P+區域 308、第三 P+區域 310 以及第三 N+區域 312 所構成。其中 N 井結構 302 形成於 P 型基底 300 內。第一 P+區域 304 形成於 P 型基底 300 內，連接到接地電壓。第一 N+區域 306 形成於 P 型基底 300 內，且位於第一 P+區域 304 附近，並連接到接地電壓。第二 P+區域 308 形成於 P 型基底 300 與 N 井結構 302 之間，且位於第一 N+區域 306 附近，並連接到防止鎖住電路 400 之第六連接端(即 NMOS 電晶體 402 之汲極)。第三 P+區域 310 形成於 N 井結構 302 內，且位於第二 P+區域 308 附近，並連接到輸出入墊，且第二 P+區域 308 與第三 P+區域 310 之間形成 P 型 LVTSCR 之附屬 PMOS

五、發明說明 (18)

電晶體 416 之源極、汲極，並在兩者之間形成一浮動閘極，以形成 P 型 LVTSCR 之附屬 PMOS 電晶體 416 之閘極 418。以及第二 N+區域 312 形成於 N 井結構 302 內，且位於第三 P+區域 310 附近，並連接到輸出入墊。

對應到上述 P 型 LVTSCR 之防止鎖住電路 400 包括由一 NMOS 電晶體 402、一電容 404 以及一電阻 410 所構成。其中 NMOS 電晶體 402 之源極連接接地電壓，汲極連接第二 P+區域 308。電容具有第一接觸端 406 與第二接觸端 408，分別連接到 NMOS 電晶體 402 之閘極與接地電壓。以及電阻 410 具有第一端點 412 與第二端點 414，分別連接到高電壓與 NMOS 電晶體 402 之閘極。且上述 P 型 LVTSCR 之附屬 PMOS 電晶體 416 之閘極亦連接到 NMOS 電晶體 402 之閘極。

在正常電源打開期間運作時，由於 RC 電路的時間常數遠小於電源打開的上升時間，故 A 點將會耦合到達 V_{cc} ，所以使得 NMOS 電晶體 402 導通，第二 P+區域 308 拉到 GND，而提供一類似守衛環的保護作用，而使得 SCR 結構的維持(Holding)電壓能夠增加以防止鎖住發生，同時 PMOS 電晶體 416 維持在截止(Turn off)狀態，所以不會影響到其運作。而當輸出入墊(Pad)有靜電放電發生時，由於 RC 電路的時間常數遠大於靜電放電的上升時間，故 A 點跟不上 V_{cc} 電壓，使得 NMOS 電晶體 402 為截止狀態，所以第二 P+區域 308 處在懸置狀態，SCR 結構電路具有較低的維持(Holding)電壓，由於 A 點沒有 V_{cc} 電壓的作用，使得 P 型 LVTSCR 附屬的 PMOS 電晶體 416 之閘極 418 耦合

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (19)

到一接地電壓而降低其觸動電壓，因此加速 SCR 結構電路的觸發速度。

綜上所述，本發明的利用一防止鎖住電路，連接在高電壓與接地電壓之間，來避免正常操作下 SCR 結構電路發生鎖住情形，且在靜電放電情況下亦可加快 SCR 結構電路啟動，而達成高效率的作用。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1.一種輸出入墊靜電放電保護電路，適用在一輸出入墊上，包括：

一SCR結構電路，具有一第一連接端、一第二連接端以及一第三連接端，其中該第一連接端與該第二連接端分別連接到該輸出入墊與一接地電壓，用以消除靜電放電；以及

一防止鎖住電路，具有一第四連接端、一第五連接端以及一第六連接端，分別連接到該高電壓、該接地電壓以及該SCR結構電路之該第三連接端，用以由第六連接端送出一防止鎖住信號，使該SCR結構電路在正常下不致於意外啓動，免於鎖住發生。

2.如申請專利範圍第1項所述之輸出入墊靜電放電保護電路，更包括：

一第一二極體，具有一第一輸入端與一第一輸出端，分別連接到該接地電壓與該輸出入墊；以及

一第二二極體，具有一第二輸入端與一第二輸出端，分別連接到該輸出入墊與一高電壓。

3.如申請專利範圍第1項所述之輸出入墊靜電放電保護電路，其中該SCR結構電路包括：

一P型基底；

一N井結構，形成於該P型基底內；

一第一P+區域，形成於該P型基底內，連接到該接地電壓；

一第一N+區域，形成於該P型基底內，且位於該第一P+區域附近，並連接到該接地電壓；

六、申請專利範圍

一 第二 N+區域，形成於該 P 型基底與該 N 井結構之間，且位於該第一 N+區域附近，並連接到該防止鎖住電路之第六連接端；

一 第二 P+區域，形成於該 N 井結構內，且位於該第二 N+區域附近，並連接到該輸出入墊；以及

一 第三 N+區域，形成於該 N 井結構內，且位於該第二 P+區域附近，並連接到該高電壓。

4.如申請專利範圍第 3 項所述之輸出入墊靜電放電保護電路，其中該防止鎖住電路包括：

一 電容，具有一第一接觸端與一第二接觸端，分別連接到該第二 N+區域與該接地電壓；以及

一 電阻，具有一第一端點與一第二端點，分別連接到該高電壓與該第二 N+區域。

5.如申請專利範圍第 3 項所述之輸出入墊靜電放電保護電路，其中該防止鎖住電路包括：

一 PMOS 電晶體，其源極連接該高電壓，汲極連接該第二 N+區域；

一 電阻，具有一第一端點與一第二端點，分別連接到該 PMOS 電晶體之閘極與該接地電壓；以及

一 電容，具有一第一接觸端與一第二接觸端，分別連接到該高電壓與該 PMOS 電晶體之閘極。

6.如申請專利範圍第 1 項所述之輸出入墊靜電放電保護電路，其中該 SCR 結構電路係為一 LVTSCR 結構電路，包括：

一 P 型基底；

六、申請專利範圍

一 N 井結構，形成於該 P 型基底內；

一第一 P+區域，形成於該 P 型基底內，連接到該接地電壓；

一第一 N+區域，形成於該 P 型基底內，且位於該第一 P+區域附近，並連接到該接地電壓；

一第二 N+區域，形成於該 P 型基底與該 N 井結構之間，且位於該第一 N+區域附近，並連接到該防止鎖住電路之第六連接端，且該第一 N+區域與該第二 N+區域之間形成一 LVTSCR 之附屬 NMOS 電晶體之源極、汲極，並在兩者之間形成一浮動閘極，以形成該 LVTSCR 之附屬 NMOS 電晶體之閘極；

一第二 P+區域，形成於該 N 井結構內，且位於該第二 N+區域附近，並連接到該輸出入墊；以及

一第三 N+區域，形成於該 N 井結構內，且位於該第二 P+區域附近，並連接到該高電壓。

7.如申請專利範圍第 6 項所述之輸出入墊靜電放電保護電路，其中該防止鎖住電路包括：

一 PMOS 電晶體，其源極連接該高電壓，汲極連接該第二 N+區域；

一電阻，具有一第一端點與一第二端點，分別連接到該 PMOS 電晶體之閘極與該接地電壓；以及

一電容，具有一第一接觸端與一第二接觸端，分別連接到該高電壓與該 PMOS 電晶體之閘極；

其中該 LVTSCR 之附屬 NMOS 電晶體之閘極亦連接到該 PMOS 電晶體之閘極。

六、申請專利範圍

8.如申請專利範圍第 1 項所述之輸出入墊靜電放電保護電路，其中該 SCR 結構電路包括：

- P 型基底；
- N 井結構，形成於該 P 型基底內；
- 第一 P+區域，形成於該 P 型基底內，連接到該接地電壓；
- 第一 N+區域，形成於該 P 型基底內，且位於該第一 P+區域附近，並連接到該接地電壓；
- 第二 P+區域，形成於該 P 型基底與該 N 井結構之間，且位於該第一 N+區域附近，並連接到該防止鎖住電路之第六連接端；
- 第三 P+區域，形成於該 N 井結構內，且位於該第二 P+區域附近，並連接到該輸出入墊；以及
- 第二 N+區域，形成於該 N 井結構內，且位於該第三 P+區域附近，並連接到該輸出入墊。

9.如申請專利範圍第 8 項所述之輸出入墊靜電放電保護電路，其中該防止鎖住電路包括：

- 電阻，具有一第一端點與一第二端點，分別連接到該第二 P+區域與該接地電壓；以及
- 電容，具有一第一接觸端與一第二接觸端，分別連接到該高電壓與該第二 P+區域。

10.如申請專利範圍第 8 項所述之輸出入墊靜電放電保護電路，其中該防止鎖住電路包括：

- NMOS 電晶體，其源極連接該接地電壓，汲極連接該第二 P+區域；

六、申請專利範圍

一電容，具有一第一接觸端與一第二接觸端，分別連接到該 PMOS 電晶體之閘極與該接地電壓；以及

一電阻，具有一第一端點與一第二端點，分別連接到該高電壓與該 PMOS 電晶體之閘極。

11.如申請專利範圍第 1 項所述之輸出入墊靜電放電保護電路，其中該 SCR 結構電路係為一 P 型 LVTSCR 結構電路，包括：

一 P 型基底；

一 N 井結構，形成於該 P 型基底內；

一第一 P+區域，形成於該 P 型基底內，連接到該接地電壓；

一第一 N+區域，形成於該 P 型基底內，且位於該第一 P+區域附近，並連接到該接地電壓；

一第二 P+區域，形成於該 P 型基底與該 N 井結構之間，且位於該第一 N+區域附近，並連接到該防止鎖住電路之第六連接端；

一第三 P+區域，形成於該 N 井結構內，且位於該第二 P+區域附近，並連接到該輸出入墊，且該第二 P+區域與該第三 P+區域之間形成一 P 型 LVTSCR 之附屬 PMOS 電晶體之源極、汲極，並在兩者之間形成一浮動閘極，以形成該 P 型 LVTSCR 之附屬 PMOS 電晶體之閘極；以及

一第二 N+區域，形成於該 N 井結構內，且位於該第三 P+區域附近，並連接到該輸出入墊。

12.如申請專利範圍第 11 項所述之輸出入墊靜電放電保護電路，其中該防止鎖住電路包括：

六、申請專利範圍

一 NMOS 電晶體，其源極連接該接地電壓，汲極連接該第二 P+區域；

一電容，具有一第一接觸端與一第二接觸端，分別連接到該 NMOS 電晶體之閘極與該接地電壓；以及

一電阻，具有一第一端點與一第二端點，分別連接到該高電壓與該 NMOS 電晶體之閘極；

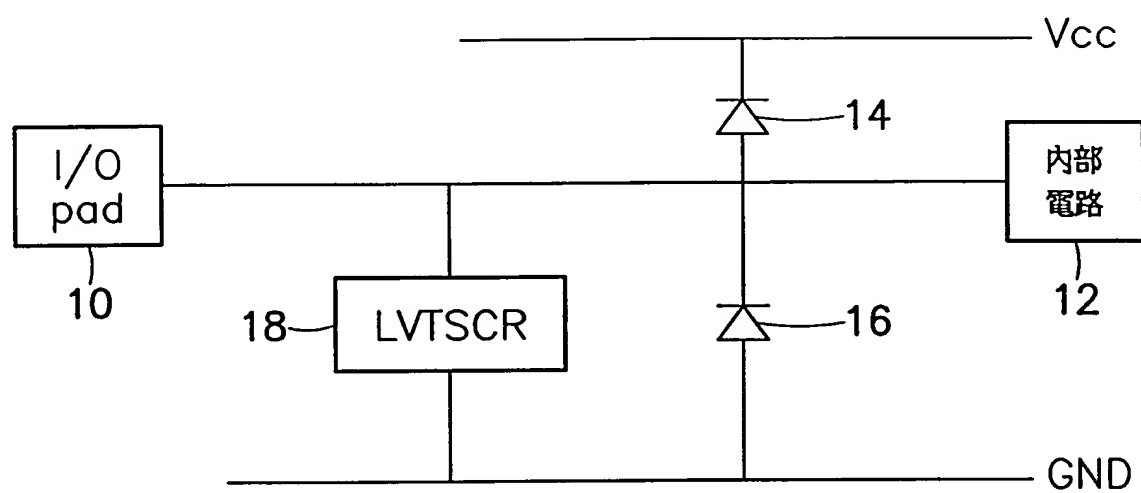
其中，上述該 P 型 LVTSCR 之附屬 PMOS 電晶體之閘極亦連接到該 NMOS 電晶體之閘極。

(請先閱讀背面之注意事項再填寫本頁)

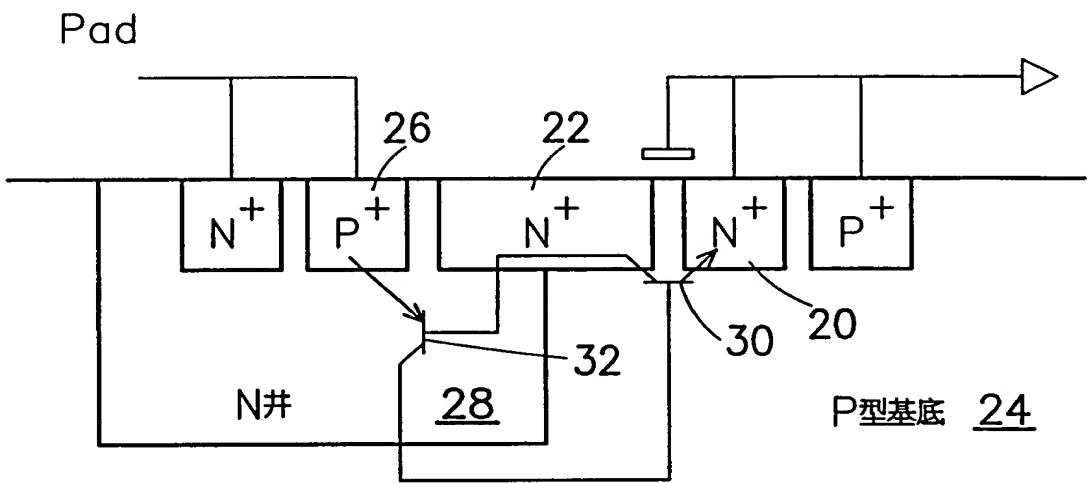
裝

訂

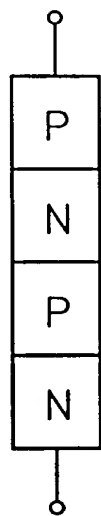
線



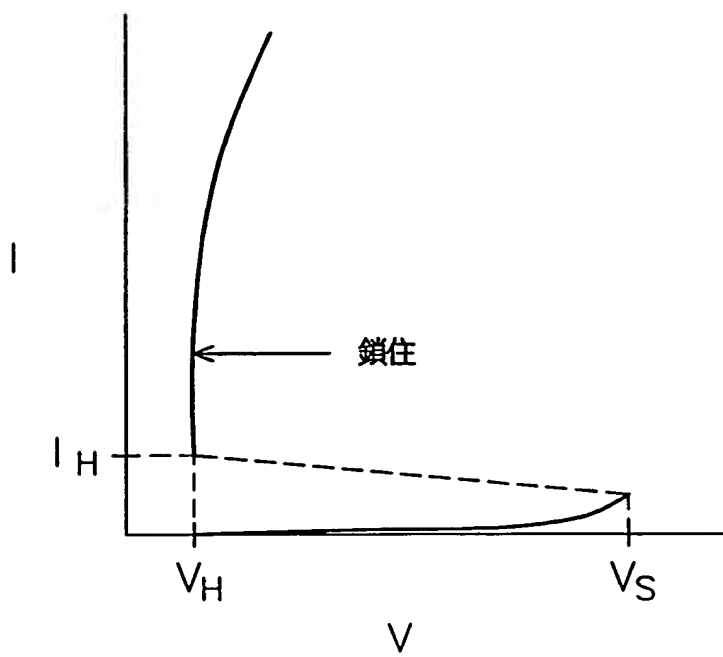
第 1 圖



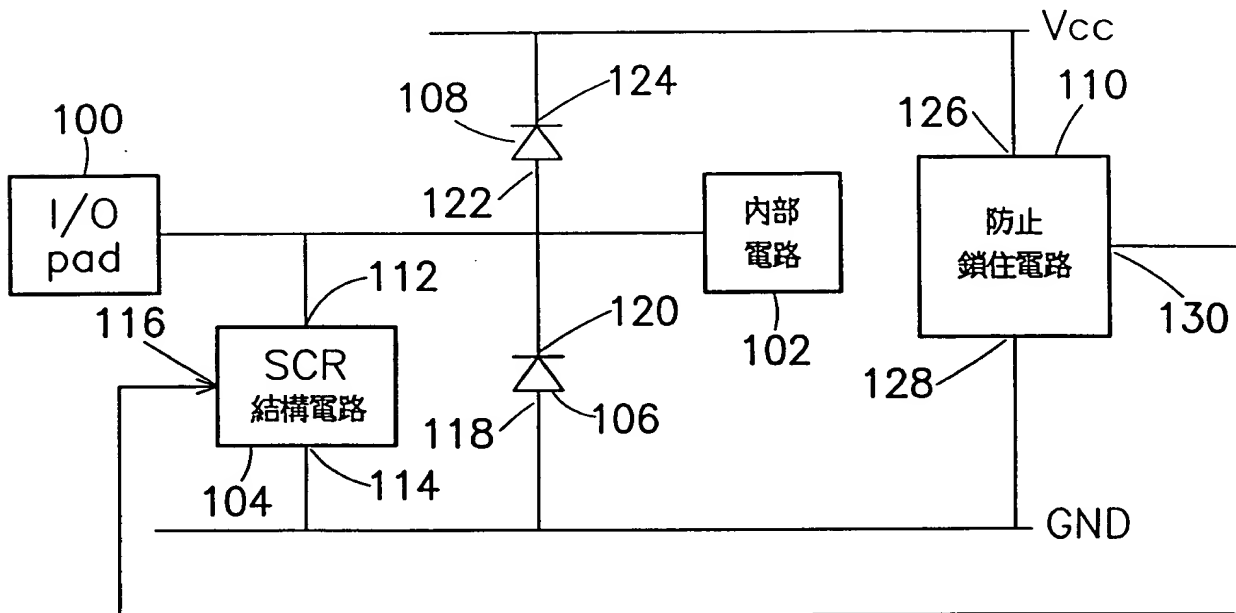
第 2 圖



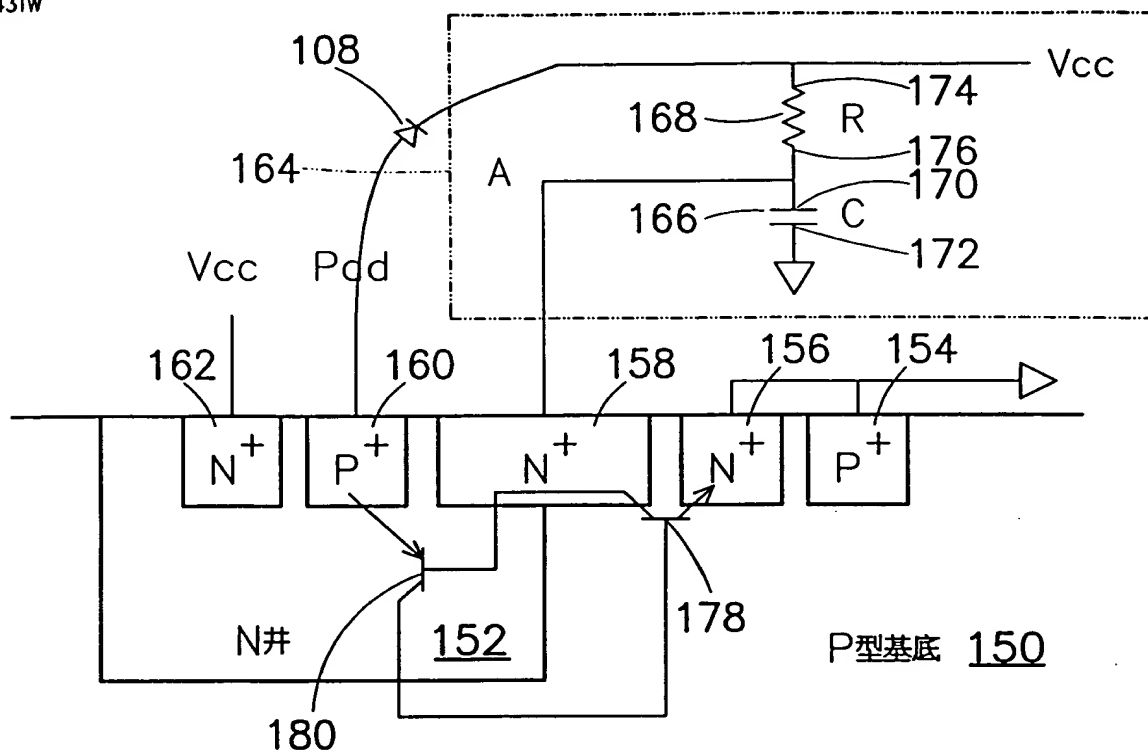
第 3A 圖



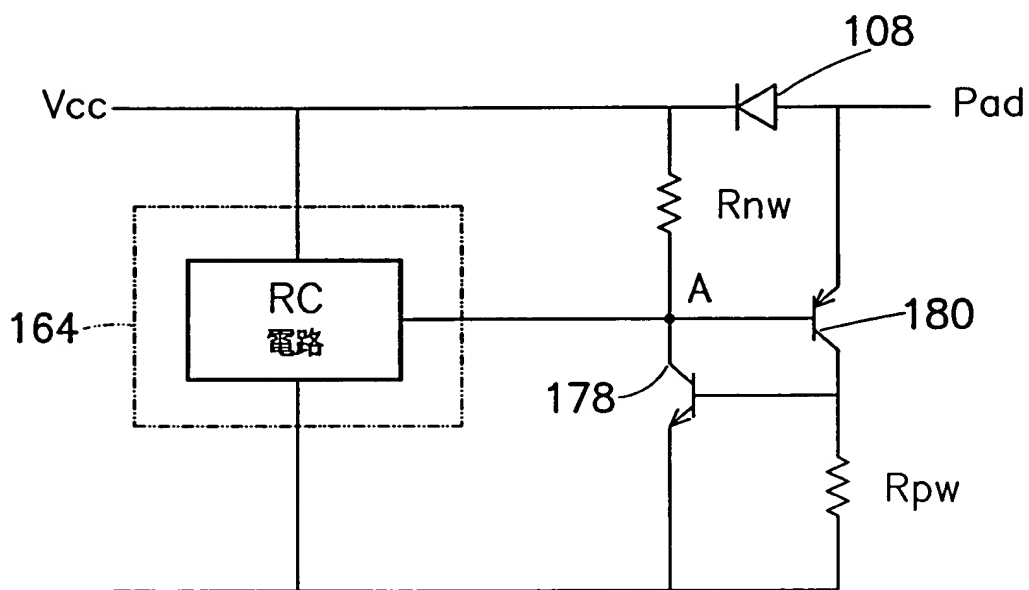
第 3B 圖



第 4 圖

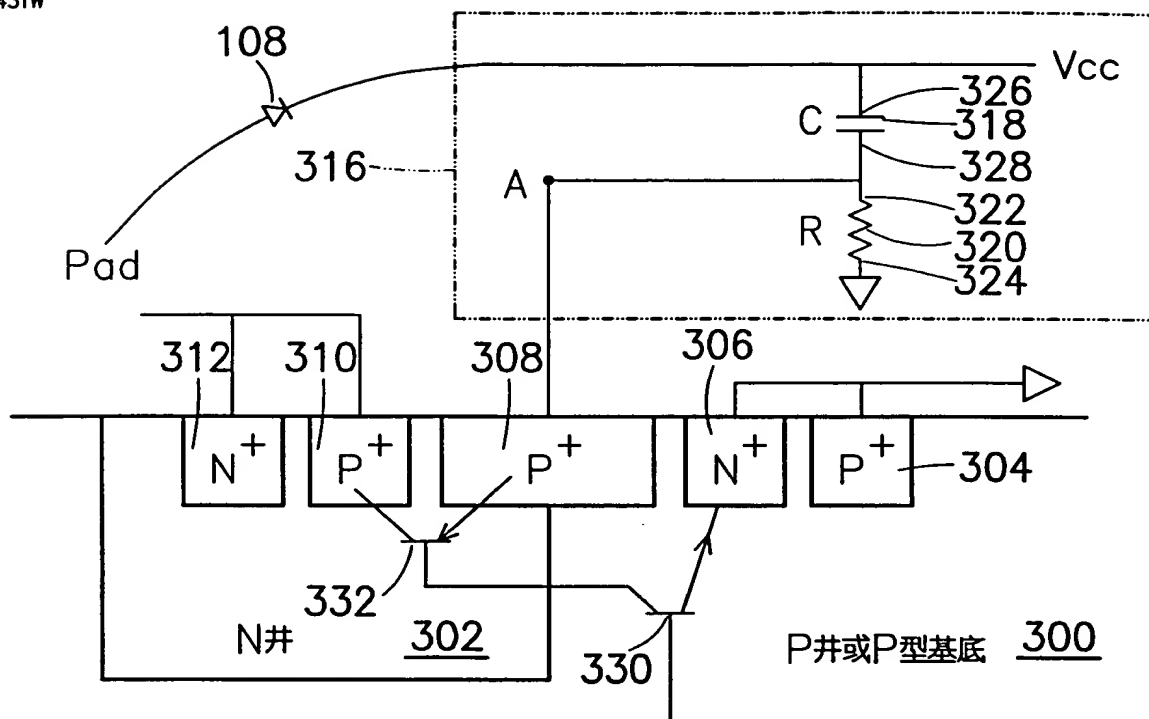


第5A圖

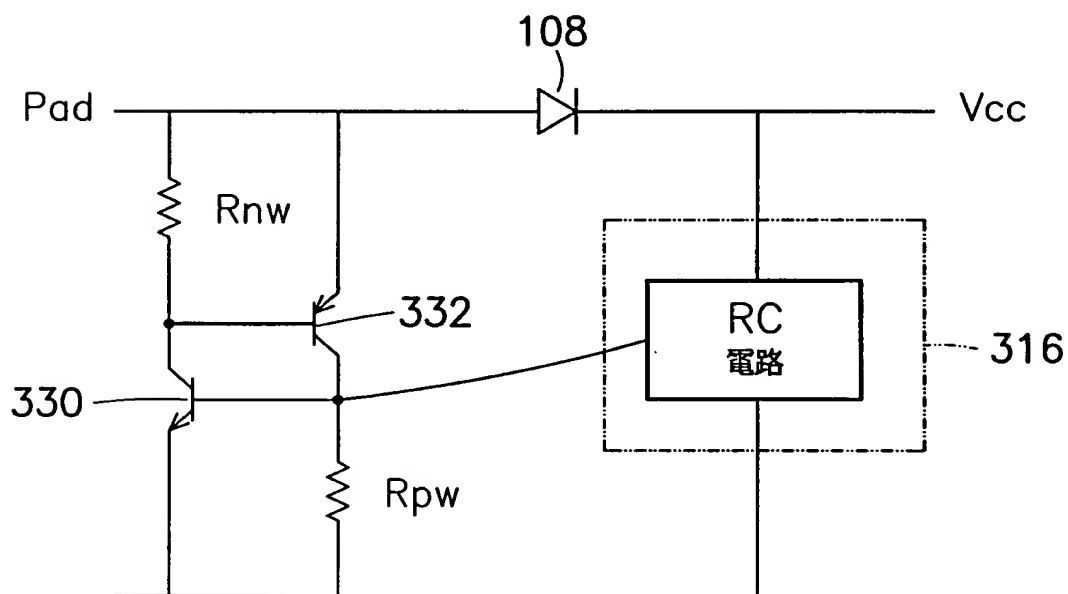


第5B圖

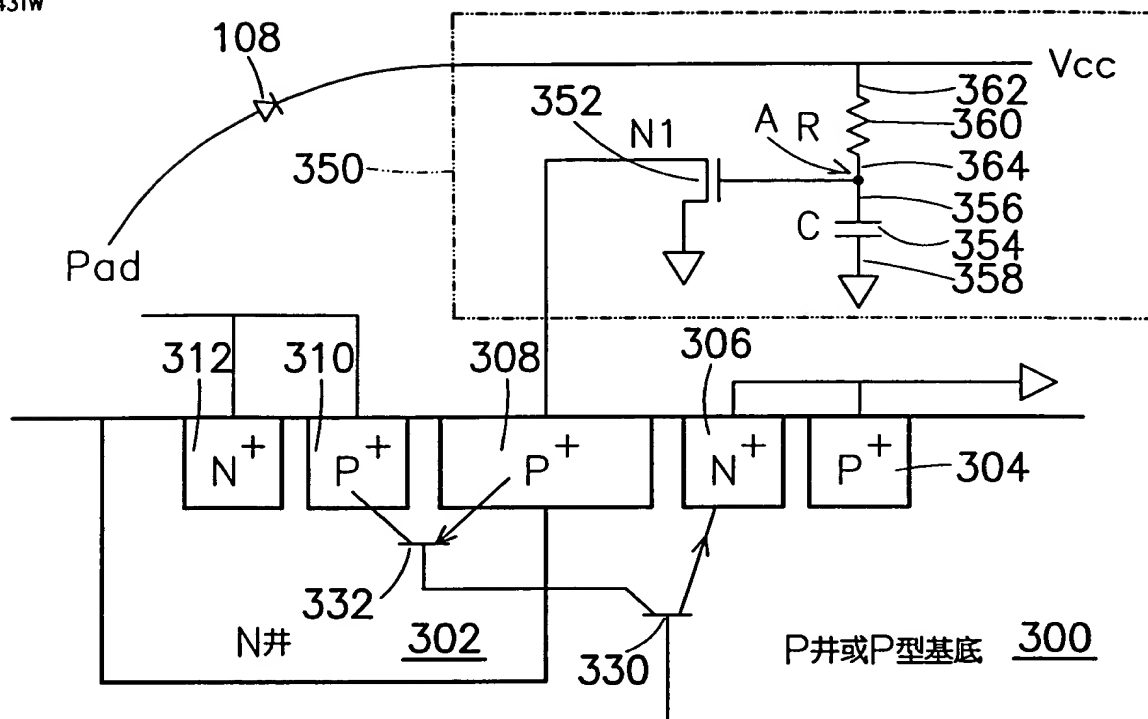
第 6B 圖



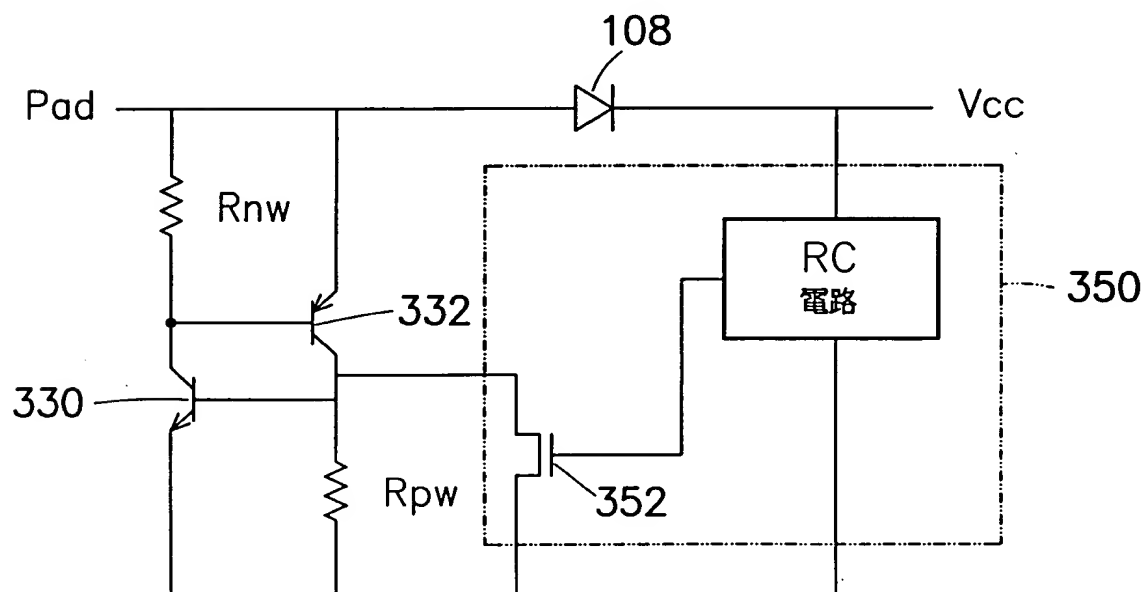
第8A圖



第8B圖



第9A圖



第9B圖

